

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-146908

(43)Date of publication of application : 07.06.1996

(51)Int.Cl.

G09G 3/20

G09G 3/28

G09G 3/36

(21)Application number : 06-307118

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 17.11.1994

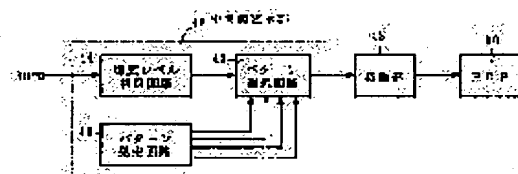
(72)Inventor :
ONODERA JUNICHI
KOSAKAI ASAO
NAKAJIMA MASAMICHI
KOBAYASHI MASAYUKI
DENDA ISATO
MATSUNAGA SEIJI

(54) DISPLAY DRIVING METHOD AND DEVICE THEREFOR

(57)Abstract:

PURPOSE: To provide a driving method and device which obviate the degradation in resolution in spite of decreasing the number of bits of the signals to be handled and prevent the appearance of unique patterns.

CONSTITUTION: This display driving device includes a medium contrast display section 4 which detects the luminance level of quantized and inputted original pixel video signals and selects the luminance patterns of plural pixels in preset one dot and a driving section 43 which is low in the number of display gradations for displaying the medium contrast with the respective pixels based on the patterns selected by this medium contrast display section 42. If one dot of the input signals is assumed to be composed of, for example, four pixels and if the video input level exists at the point (a) where the video input level is 1/4 the level from the point A, this level is discriminated by a luminance level discriminating circuit 44 and the patterns corresponding to the point (a) are selected from a pattern generating circuit 46. The medium contrast display output of this time is a combination of three pixels for A and one pixel for B. Similarly, the medium contrast display output is a combination of two pixels for A and two pixels for B in the case of 1/2 and a combination of one pixel for A and three pixels for B in the case of 3/4.



LEGAL STATUS

[Date of request for examination] 01.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3324313

[Date of registration] 05.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-146908

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G 0 9 G	3/20	K 4237-5H		
	3/28	K 4237-5H		
	3/36			

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平6-307118

(22) 出願日 平成6年(1994)11月17日

(71) 出願人 000006611

株式会社富士通ゼネラル
神奈川県川崎市高津区末長1116番地

(72) 発明者 小野寺 純一

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72) 発明者 小坂井 朝郎

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72) 発明者 中島 正道

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(74) 代理人 弁理士 古澤 俊明 (外1名)

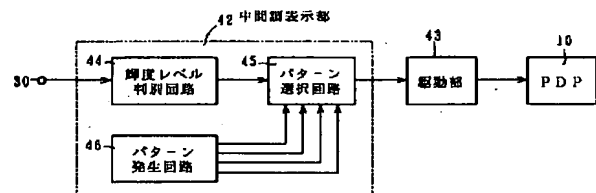
最終頁に続く

(54) 【発明の名称】 ディスプレイ駆動方法および装置

(57) 【要約】

【目的】 扱う信号のビット数を減らしても解像度の低下がなく、しかも独特の紋様が現われることのない駆動方法と装置を提供することを目的とする。

【構成】 量子化されて入力した原画素映像信号の輝度レベルを検出し、予め設定された1ドットが複数画素の輝度パターンを選択する中間調表示部42と、この中間調表示部42で選択されたパターンに基づき各画素で中間調表示するための表示階調数の低い駆動部43とを具備してなる。入力信号1ドットを例えば4画素で構成したものとし、映像入力レベルがA点から4分の1のa点にあるものとする、それを輝度レベル判別回路44で判別し、a点に対応したパターンをパターン発生回路46から選択する。このときの中間調表示出力は、Aが3画素、Bが1画素の組み合わせとなる。同様に、2分の1なら中間調表示出力は、Aが2画素、Bが2画素の組み合わせ、4分の3ならAが1画素、Bが3画素の組み合わせとなる。



【特許請求の範囲】

【請求項 1】 量子化されて入力した原画素映像信号 1 ドットを複数画素で構成し、この 1 ドット内の複数画素で中間調表示するようにしたことを特徴とするディスプレイ駆動方法。

【請求項 2】 量子化されて入力した原画素映像信号の輝度レベルを検出し、予め設定された 1 ドットが複数画素の輝度パターンを選択する中間調表示部 4 2 と、この中間調表示部 4 2 で選択されたパターンに基づき各画素で中間調表示するための表示階調数の低い駆動部 4 3 とを具備してなることを特徴とするディスプレイ駆動装置。

【請求項 3】 中間調表示部 4 2 は、入力した映像信号の輝度レベルを判別する輝度レベル判別回路 4 4 と、予め輝度に応じたパターンを記憶し発生するパターン発生回路 4 6 と、前記輝度レベル判別回路 4 4 の出力によりパターン発生回路 4 6 のパターンを選択するパターン選択回路 4 5 とからなる請求項 2 記載のディスプレイ装置。

【請求項 4】 パターン発生回路 4 6 における中間調の 2 値化表示法として、ディザ法が用いられ、映像入力信号 1 ドットが、中間調出力として縦、横にそれぞれ 2 等分した 4 画素表示とした請求項 3 記載のディスプレイ装置。

【請求項 5】 表示パネルは、PDP または液晶ディスプレイパネルからなる請求項 2、3 または 4 記載のディスプレイ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、1 ドットを複数画素で構成し、1 ドット内の複数画素で中間調表示を行うことにより高密度で精細な映像を得るようにしたディスプレイ駆動方法および装置に関するものである。

【0002】

【従来の技術】 最近、薄型、軽量の表示装置として、PDP（プラズマ・ディスプレイ・パネル）が注目されている。この PDP の駆動方式は、従来の CRT 駆動方式とは全く異なっており、デジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。PDP は基本的特性の異なる AC 駆動型と DC 駆動型の 2 方式に分けられるが、DC 駆動型 PDP では、すでに課題とされていた輝度と寿命について改善手法の報告があり、実用化へ向けて進展しつつある。

【0003】 ところが、AC 駆動型 PDP では、輝度と寿命については十分な特性が得られているが階調表示に関しては、試作レベルで最大 64 階調表示までの報告しかなかった。しかるに、最近、アドレス・表示分離型駆動法（ADS サブフィールド法）による 256 階調の手法が提案されている。この方法に使用される PDP（プ

ラズマ・ディスプレイ・パネル）の駆動シーケンスと駆動波形が図 8（a）（b）に示される。

【0004】 図 8（a）において、1 フレームは、輝度の相対比が 1、2、4、8、16、32、64、128 の 8 個のサブフィールドで構成され、8 画面の輝度の組み合わせで 256 階調の表示を行う。図 8（b）において、それぞれのサブフィールドは、リフレッシュした 1 画面分のデータの書込みを行うアドレス期間とそのサブフィールドの輝度レベルを決めるサスティン期間で構成される。アドレス期間では、最初全画面同時に各ピクセルに初期的に壁電荷が形成され、その後サスティンパルスが全画面に与えられ表示を行う。サブフィールドの明るさはサスティンパルスの数に比例し、所定の輝度に設定される。このようにして 256 階調表示が実現される。

【0005】 前記アドレス期間は、サスティン期間の大小に拘らず一定であるから、以上のような AC 駆動方式では、階調数を増やせば増やすほど、1 フレーム期間内でパネルを点灯発光させる準備期間としてのアドレス期間のビット数が増加するため、発光期間としてのサスティン期間が相対的に短くなり、最大輝度が低下する。このように、パネル面から発光される輝度階調は、扱う信号のビット数によって定まるため、扱う信号のビット数を増やせば、画質は向上するが、発光輝度が低下し、逆に扱う信号のビット数を減らせば、発光輝度が増加するが、階調表示が少なくなり、画質の低下を招く。

【0006】 入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするための誤差拡散処理は、擬似中間調を表現する処理であり、少ない階調で濃淡表現する場合に用いられる。従来の一般的な誤差拡散処理回路が図 6 に示される。この回路において、映像信号入力端子 30 に、 n （たとえば 8）ビットの原画素 $A_{i,j}$ の映像信号が入力し、垂直方向加算回路 31、水平方向加算回路 32 を経て、さらにビット変換回路 33 でビット数を m （たとえば 4）ビットに減らす処理をして映像出力端子 34 から PDP 駆動回路を経て PDP を発光する。

【0007】 また、前記水平方向加算回路 32 からの誤差拡散信号が、誤差検出回路 35 の ROM 38 に予め記憶されたデータと比較されて加算器 39 でその和をとって誤差荷重回路 40、41 にて所定の係数を掛けて重み付けをし、誤差検出出力を、原画素 $A_{i,j}$ より h ライン前の画素、例えば 1 ラインだけ過去に生じた再現誤差 E_{j-1} を出力する h ライン遅延回路 36 を介して前記垂直方向加算回路 31 に加算されるとともに、原画素 $A_{i,j}$ より d ドット前の画素、例えば 1 ドットだけ過去に生じた再現誤差 E_{i-1} を出力する d ドット遅延回路 37 を介して前記水平方向加算回路 32 に加算される。なお、前記誤差荷重回路 40、41 での係数は一般的に全ての和が 1 になるように設定する。

【0008】この結果、ビット変換回路33の出力端子には、図5に示すように、瞬間的には実線の階段状のような4ビットで表わされる発光輝度レベルが出力されるにも拘らず、実際は、前記実線の階段状の上下の発光輝度レベルが所定の割合で交互に出力されるので、平均化された状態で認識され、点線のような $y=x$ の補正輝度線となる。

【0009】

【発明が解決しようとする課題】図8(a)に示す駆動方法では1フレームを8個のサブフィールドとして256階調としたが、この階調数を増やせば画質が向上する。しかし、画質は向上するが、発光輝度が低下する。逆に図7(a)に示すように、1フレームを6個のサブフィールドで構成し、扱う信号のビット数を減らせば、発光輝度が増加する。図7(b)に示すように、1フレームを4個のサブフィールドで構成し、扱う信号のビット数を減らせば、さらにその傾向が大きくなる。以上のような中間調表示技術は、明るさを縦横時間の各方向に拡散させることによって中間調を作り出すので、解像度の低下や独特の紋様が現われるという問題があった。

【0010】本発明は、扱う信号のビット数を減らしても解像度の低下がなく、しかも独特の紋様が現われることのない駆動方法と装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、量子化されて入力した原画素映像信号の輝度レベルを検出し、予め設定された1ドットが複数画素の輝度パターンを選択する中間調表示部42と、この中間調表示部42で選択されたパターンに基づき各画素で中間調表示するための表示階調数の低い駆動部43とを具備してなることを特徴とするディスプレイ駆動装置である。

【0012】

【作用】量子化されて入力した原画素映像信号1ドットを複数画素、例えば4画素で構成する。映像入力レベルがA点から4分の1のa点にあるものとする、それを輝度レベル判別回路44で判別し、a点に対応したパターンをパターン発生回路46のパターンから選択する。このときの中間調表示出力は、Aが3画素、Bが1画素の組み合わせとなる。同様に、A点から2分の1のb点にあるものとする、中間調表示出力は、Aが2画素、Bが2画素の組み合わせとなり、A点から4分の3のc点にあるものとする、中間調表示出力は、Aが1画素、Bが3画素の組み合わせとなり、d点(B点)にあるものとする、中間調表示出力は、Aがなくなり、Bが4画素となる。以上のようにして、映像入力レベルに対応した中間調表示出力パターンを入力1ドット当たり4画素構成のパターンから選択し、このパターンにより駆動部43を介してPDP10が表示される。

【0013】

【実施例】本発明の基本的考え方はつぎの通りである。

従来、中間調表示技術で解像度が低下するのは、必要なドット数(解像度)よりも、中間調表示技術の拡散領域が広いことに起因する。これは、必要なドット数=画素数というディスプレイ駆動方法を採用している限り、解決することは理論的に無理である。しかるに、現在ディスプレイは、大型化の傾向にあり、それに伴い1ドットの大きさも大型化している。例えば、21型PDPの1ドットの大きさは0.66mm角であるが、42型PDPの1ドットの大きさは1.08mm角である。

【0014】そこで、本発明では、1ドットを複数画素で表示する手段を取り、必要なドット数<画素数というディスプレイ構成を実現させ、1ドット内の画素で中間調を作り出そうとするものである。このように、1ドット内の画素で中間調を作り表示すれば、必要なドット(解像度)数を越えて中間調表示領域を広げることなく、中間調表示できる。このため、駆動回路側では、ビット数を減らし発光輝度を増加させた状態で、必要なドット数(解像度)を確保した中間調表示技術により、高輝度、かつ精細な映像を得ることが可能である。

【0015】以下、本発明の実施例として1ドットを4画素で表示するディスプレイについて図面に基づき説明する。図1において、30は、nビットの原画素 A_i, j の映像信号入力端子で、この映像信号入力端子30には、必要なドット数の映像を伝送してくる。例えば、VGA相当の水平640×垂直480ドットとする。この映像信号入力端子30は、本発明の中間調表示部42を介して駆動部43に接続され、さらにPDP10に接続されている。

【0016】前記中間調表示部42は、入力した映像信号の輝度レベルを判別する輝度レベル判別回路44と、予め輝度に応じたパターンを記憶し発生するパターン発生回路46と、前記輝度レベル判別回路44の出力によりパターン発生回路46のパターンを選択するパターン選択回路45とからなる。前記パターン発生回路46における中間調の2値化表示法として、例えばディザ法が用いられるものとする。このディザ法には、独立決定形と条件つき決定形があり、また、独立決定形には、ランダムディザ法、組織的ディザ法があり、また、条件つき決定形には、誤差拡散法、その改良法、領域内での黒画素配分法、平均値と輪郭を制御する法、領域適応処理法などがある。これらのディザ法に限られるものではなく、濃度パターン法などあらゆる中間調表示法が選択的に用いられるものとする。後述のように、映像入力信号1ドットが、中間調出力として縦、横にそれぞれ2等分した4画素表示とすると、前記駆動部43は、各画素毎に駆動するように表示階調数の低いものが用いられる。

【0017】以上のような構成において、映像信号入力端子30に入力した原画素の映像信号が中間調表示部42の輝度レベル判別回路44に送られる。輝度レベル判別回路44では、映像入力信号の入力レベルが判別され

る。ここで、映像信号入力端子 30 に入力した原画素の映像信号は、図 7 (a) に示すように、1 フレームを 6 個のサブフィールドで構成したり、図 7 (b) に示すように、1 フレームを 4 個のサブフィールドで構成するなどして、扱う信号のビット数を減らしたものとする。そのため、輝度レベルは、図 5 の場合よりもさらに大きな段差を持った階段状の特性となる。

【0018】図 2 は、図 7 (b) と同様、1 フレームを 4 個のサブフィールドで構成した特性図を表しているものとする。また、映像入力信号 1 ドットが、中間調出力として縦、横にそれぞれ 2 等分した 4 画素表示とする。この図 2 において、映像入力レベル A 点と B 点の間を 4 等分し、A 点から 4 分の 1、2 分の 1、4 分の 3、B 各点を a、b、c、d とする。

【0019】(1) 映像信号入力端子 30 からの映像入力レベルが図 3 (a) のように A 点から 4 分の 1 の a 点にあるものとする、それを輝度レベル判別回路 44 で判別し、その判別信号をパターン選択回路 45 へ送る。このパターン選択回路 45 では、パターン発生回路 46 からの a 点に対応したパターンをパターン発生回路 46 のパターンから選択する。このときの中間調表示出力は、A が 3 画素、B が 1 画素の組み合わせとなる。

【0020】(2) 映像信号入力端子 30 からの映像入力レベルが図 3 (b) のように A 点から 2 分の 1 の b 点にあるものとする、それを輝度レベル判別回路 44 で判別し、その判別信号をパターン選択回路 45 へ送る。このパターン選択回路 45 では、パターン発生回路 46 からの b 点に対応したパターンをパターン発生回路 46 のパターンから選択する。このときの中間調表示出力は、A が 2 画素、B が 2 画素の組み合わせとなる。A、A、B、B は、図では×印に配置したが、水平、垂直など適宜に配置することができる。

【0021】(3) 映像信号入力端子 30 からの映像入力レベルが図 3 (c) のように A 点から 4 分の 3 の c 点にあるものとする、それを輝度レベル判別回路 44 で判別し、その判別信号をパターン選択回路 45 へ送る。このパターン選択回路 45 では、パターン発生回路 46 からの c 点に対応したパターンをパターン発生回路 46 のパターンから選択する。このときの中間調表示出力は、A が 1 画素、B が 3 画素の組み合わせとなる。

【0022】(4) 映像信号入力端子 30 からの映像入力レベルが図 3 (d) のように d 点 (B 点) にあるものとする、それを輝度レベル判別回路 44 で判別し、その判別信号をパターン選択回路 45 へ送る。このパターン選択回路 45 では、パターン発生回路 46 からの d 点に対応したパターンをパターン発生回路 46 のパターンから選択する。このときの中間調表示出力は、A がなく

なり、B が 4 画素となる。

【0023】以上のようにして、映像入力レベルに対応した中間調表示出力パターンを入力 1 ドット当たり 4 画素構成のパターンから選択し、このパターンにより駆動部 43 を介して PDP 10 が表示される。

【0024】前記実施例では、図 4 (a) のように、映像入力信号 1 ドットが、中間調出力として縦、横にそれぞれ 2 等分した 4 画素表示としたが、これに限られるものではなく、図 4 (b) のように、映像入力信号 1 ドットが、中間調出力として縦 2 等分、横 3 等分した 6 画素表示とすることもできるし、図 4 (c) のように、映像入力信号 1 ドットが、中間調出力として横方向のみ 3 等分した 3 画素表示とすることもでき、縦、横の配分比は任意に選択できる。

【0025】

【発明の効果】本発明は、量子化されて入力した原画素映像信号 1 ドットを複数画素で構成し、この 1 ドット内の複数画素で中間調表示するようにしたので、扱う信号のビット数を減らしても解像度の低下がなく、しかも独特の紋様が現われることがないという効果を有する。

【図面の簡単な説明】

【図 1】本発明によるディスプレイ駆動装置の一実施例を示すブロック図である。

【図 2】補正輝度線と発光輝度レベルの関係を示す拡大特性線図である。

【図 3】本発明による画素変換と中間調表示の作用の説明図である。

【図 4】画素変換の複数実施例の説明図である。

【図 5】従来回路による駆動信号対発光輝度レベルの特性線図である。

【図 6】従来のディスプレイ駆動装置を示すブロック図である。

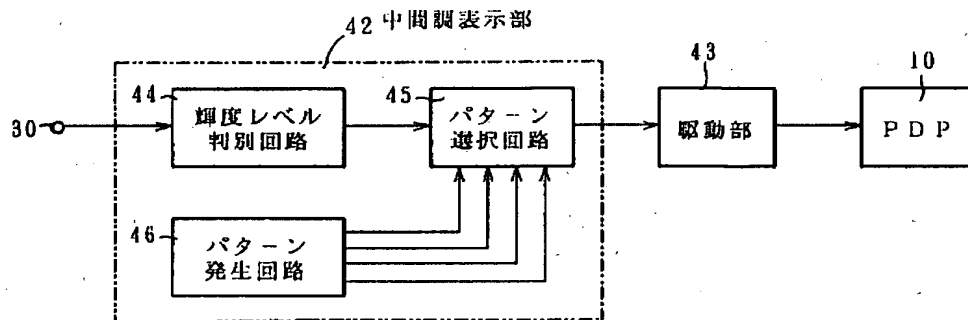
【図 7】(a) は 64 階調の手法における駆動シーケンス、(b) は 32 階調の手法における駆動シーケンスである。

【図 8】256 階調の手法における駆動シーケンスと駆動波形図である。

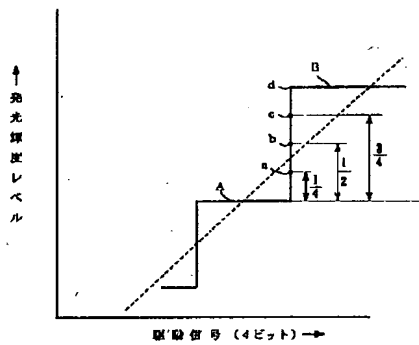
【符号の説明】

10…PDP (プラズマ・ディスプレイ・パネル)、30…映像信号入力端子、31…垂直方向加算回路、32…水平方向加算回路、33…ビット変換回路、34…出力端子、35…誤差検出回路、36…h ライン遅延回路、37…d ドット遅延回路、38…メモリ、39…加算器、40…誤差荷重回路、41…誤差荷重回路、42…中間調表示部、43…駆動部、44…輝度レベル判別回路、45…パターン選択回路、46…パターン発生回路。

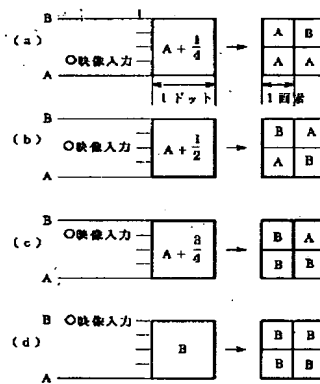
【図1】



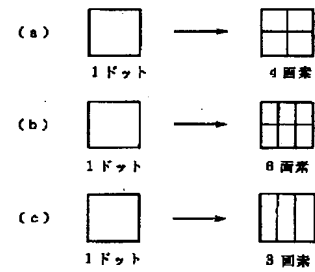
【図2】



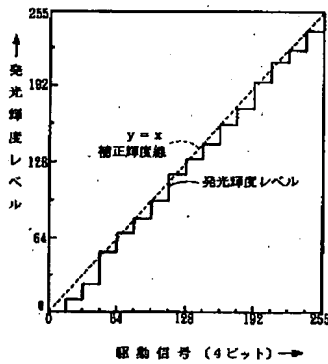
【図3】



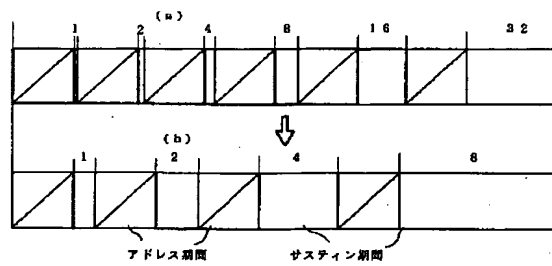
【図4】



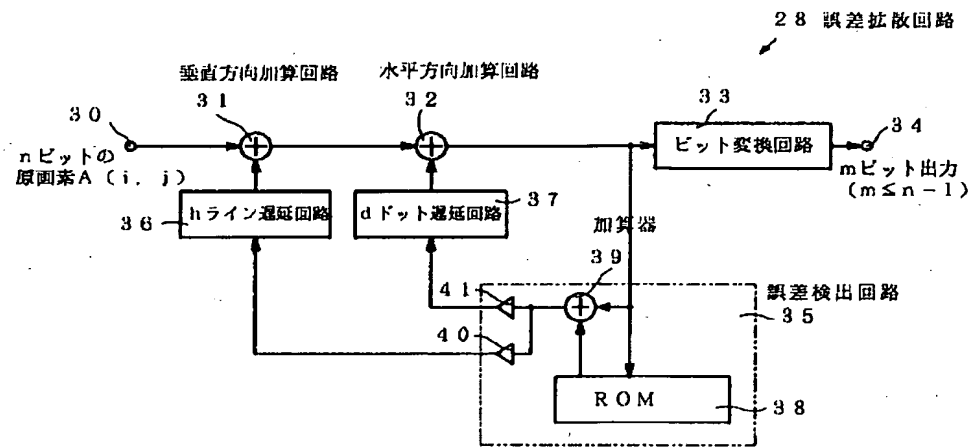
【図5】



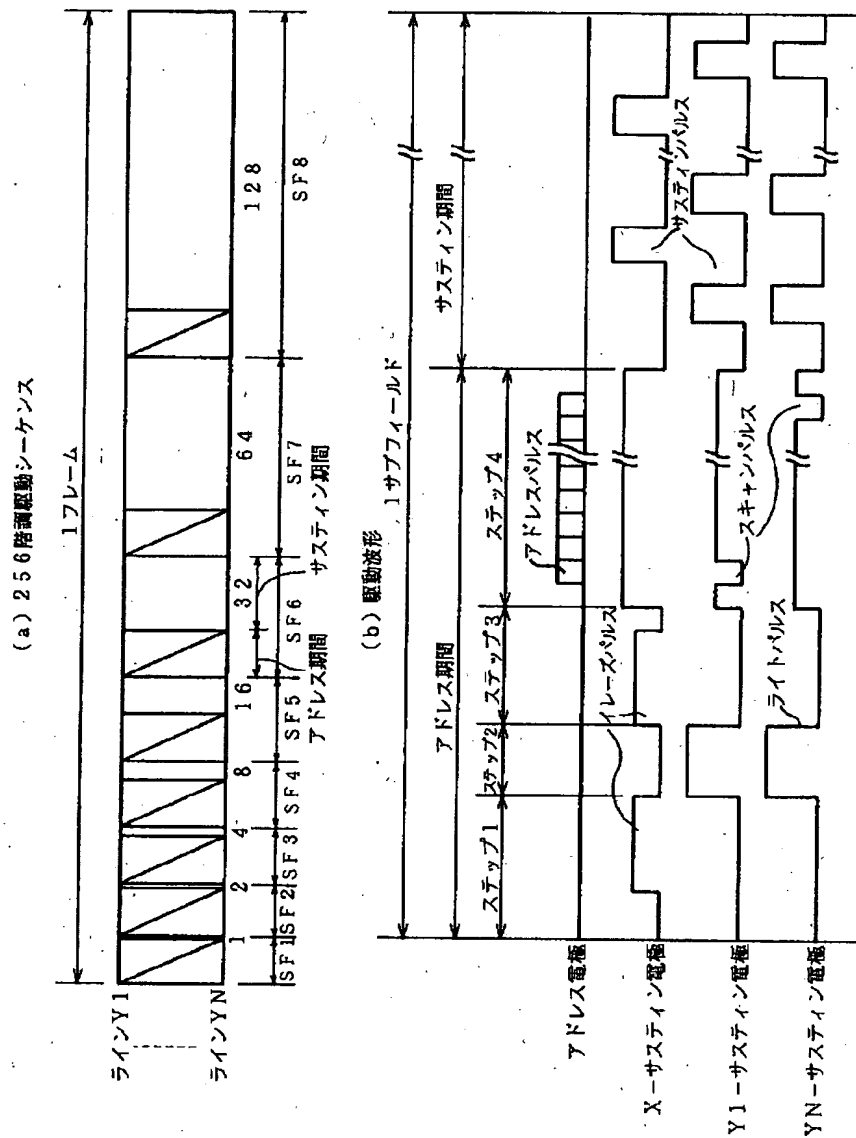
【図7】



【図6】



【図8】



フロントページの続き

(72)発明者 小林 正幸
神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72)発明者 傳田 勇人
神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72)発明者 松永 誠司
神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内